

METHOD FOR FUSING OFF FUSE

Publication number: JP59130441

Publication date: 1984-07-27

Inventor: MUKAI RIYOUICHI

Applicant: FUJITSU LTD

Classification:

- International: H01L21/3205; G11C17/06; H01L21/326; H01L21/82; H01L23/52; H01L23/525; H01L27/10; G11C17/06; H01L21/02; H01L21/70; H01L23/52; H01L27/10; (IPC1-7): H01L21/88; H01L27/10

- European: H01L21/326; H01L21/82; H01L23/525F

Application number: JP19820226520 19821225

Priority number(s): JP19820226520 19821225

Also published as:

EP0112693 (A1)

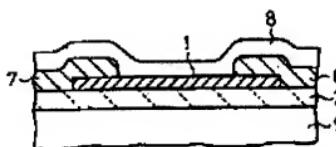
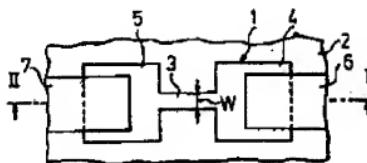
US4747076 (A1)

EP0112693 (B1)

[Report a data error here](#)

Abstract of JP59130441

PURPOSE: To fuse off the fuse electrically without breaking a protective film over the fuse and to enable writing of fuse-type ROM by using a ramp-wave voltage as an applied voltage to fuse off the fuse connected to writing and covered with the protective film. **CONSTITUTION:** An SiO₂ insulating film 2 is formed on a silicon substrate 9 by thermal oxidation or CVD method, on which a polycrystalline silicon layer 1 is formed by CVD method, and a fuse 1 is formed by photoetching. Next, an aluminum vapor-deposited film is coated over the whole surface and predetermined wiring pattern is formed by photoetching. Wirings 6 and 7 are connected to wide pads 4 and 5 of the fuse 1. Lastly, a PSG protective film 8 is formed over the fuse 1, the wirings 6 and 7 and the whole surface of the insulating film 2. To the polycrystalline silicon fuse 1 thus formed, ramp-wave voltage of 10<4>V/sec of increasing speed is applied to fuse off it by the center of the fuse 1. When this ramp-wave voltage becomes about 27V before it reaches the peak voltage, the fuse is fused off and there is no hole produced at the part corresponding to the fusing-off of the PSG protective film 8.



Data supplied from the [esp@cenet](#) database - Worldwide

⑩ 日本国特許庁 (JP) ⑪ 特許出願公開
 ⑫ 公開特許公報 (A) 昭59—130441

⑬ Int. Cl.³ 識別記号 庁内整理番号 ⑭ 公開 昭和59年(1984)7月27日
 H 01 L 21/82 6655—5F
 21/88 6810—5F 発明の数 1
 27/10 6655—5F 審査請求 有

(全 6 頁)

⑬ ヒューズの溶断方法 川崎市中原区上小田中1015番地
 富士通株式会社内
 ⑭ 特願 昭57—226520 ⑭ 出願人 富士通株式会社
 ⑭ 出願 昭57(1982)12月25日 川崎市中原区上小田中1015番地
 ⑭ 発明者 向井良一 ⑭ 代理人 弁理士 青木朗 外3名

明 標 告

1. 発明の名称

ヒューズの溶断方法

2. 特許請求の範囲

1. 基体上の絶縁膜の上に形成され、記録と接続されかつ保護膜で覆われているヒューズを電気的に溶断する際に、溶断のための印加電圧をランプ放電圧として前記保護膜を破ることなく前記ヒューズを溶断することを特徴とするヒューズの溶断方法。

3. 発明の詳細な説明

(1) 発明の技術分野

本発明は、メモリー半導体装置内に形成されているヒューズ、より詳しく述べるならば、このようないーズの電気的溶断方法の改善に関するものである。

(2) 技術の背景

ヒューズを備えた半導体メモリーにはヒューズ溶断用ROMあるいは冗長回路のあるRAMがあり、ヒューズ溶断用ROMではヒューズを溶断す

ることで情報書き込み、また、冗長回路のあるRAMでは不良ピットを含む行や列を予備の行や列に書き換えるためにヒューズを溶断する。このようなヒューズに過電流を流すことによって溶断している。

(3) 前述技術と問題点

半導体装置内のヒューズ部は、一般的に、第1回および第2回に示すような構造であり、ヒューズ1はヒューズ材であるポリシリコンなどで絶縁膜（例えば、SiO₂膜）2上に形成され、切断される長い中央部3と両側のパット4、5とからなる。パット4、5のそれぞれには記録（例えば、アルミニウム記録層）6、7が接続されている。第2回に示すようにヒューズ1および記録6、7はパッセージョン膜である保護膜（例えば、PSG膜）8で覆われている。なお、第1回はこの保護膜8のない状態でのヒューズ部を示す。そして、絶縁膜2は半導体基板（例えば、シリコンウェハ）9上に形成されている。

このようなヒューズ1を溶断するためには過電流

を施すときの印加電圧は、従来、第3図に示すようすペルス電圧である。この場合に、溶断時にヒューズが爆発的に破壊されて保護膜8が破れて穴が生じる問題がある。この穴は汚染物が入り込まれないようにPSG膜を再び形成して蓋がなければならぬ。

(4) 発明の目的

本発明の目的は、ヒューズ上に形成した保護膜を破ることなくヒューズを電気的に溶断する方法を提案することである。

(5) 発明の構成

上述の目的が、半導体基板上の絶縁膜の上に形成され、配線と接続されかつ保護膜で優れていたヒューズを電気的に溶断する方法において、溶断のための印加電圧をランプ放電圧とすることを特徴とする半導体基板内ヒューズの溶断方法によって達成する。

ヒューズ材料には多結晶シリコンが好ましい。電流を施す配線の材料にはアルミニウムが好ましいが、ドープした多結晶シリコンやAl₂O₃膜の歴

点を有する金属性であるともよい。

本発明によるランプ放電圧は、設定ピーク電圧まで一定速度(10⁴~10⁵ V/秒)で増加する電圧であることが望ましい。

(6) 発明の実施例

以下、添付図面に傍連した実施態様例によって本発明をより詳細に説明する。

従来のヒューズ形成工程にしたがって第1図および第2図に示すヒューズを次のようにして形成する。

シリコン基板(ウェハ)9の上に熱酸化法又はCVD法によってSiO₂絶縁膜(厚さ1.0 μm)2を形成し、その上に多結晶シリコン層(厚さ0.4 μm)1をCVD法によって形成し、そして通常のホトエッチング法によって第1図に示す形状のヒューズ1を形成する。ヒューズ1の細長い中央部3の幅Wを6 μmとする。次に、アルミニウム配線6および7を形成するため、アルミニウム蒸着膜(厚さ1.0 μm)を全面に付着させ、ホトエッチング法によって所定配線パターンに形成する。

配線6および7はヒューズ1の幅広いバット4および5に接続されている。最後に、PSG保護膜8(厚さ1.0 μm)をCVD法によってヒューズ1、配線6、7および絶縁膜2の上の全面に形成する。

このように形成した多結晶シリコンヒューズ1に、本発明にしたがって、10⁴ V/秒の増加速度であるランプ放電圧(ピーク電圧34 V)を印加してヒューズ1の中央部を溶断する。このランプ放電圧は第4図に示すような変化をし、ピーク電圧に達する前に27 V程度になったときにはヒューズは溶断されている。本発明にしたがって溶断すると、PSG保護膜8の溶断対応部分に孔は生じないことがわかる。ヒューズの溶断を観察すると、多結晶シリコンの溶解初期にアルミニウムがプラス板側からマイナス板側に瞬間に多く流れでから切れることがわかる。PSG保護膜8を破ぶらずにするのは、アルミニウムの蒸着膜が加熱速度を溶断直前で低下させるからだと考えられる。この様な現象はペルス電圧を用いた溶断では観察

できない。

上述の実施態様例は一例であって、ヒューズの厚さ、形状は適切に設定でき、それに応じて溶断の電圧および電圧増加速度も適切に決めることができる。本実施例によると電圧増加速度が5 V/秒以下であると、溶断現象は起きず、アルミニウムが融解されるだけの現象が見られ、ショート状態となる。また、10~10⁵ V/秒程度であると保護膜が融れる可能性がある。ただし、これらの結果は、多結晶シリコンヒューズ部分の抵抗値が強く依存している。配線6、7の材料にはドープした多結晶シリコンを使用することができるが、アルミニウムを用いた例と異なり、加熱速度を溶断寸前で抑制する作用は、配線用多結晶シリコン中にドープされた不純物がヒューズ部分へ再分布することによって達成される。

(7) 発明の効果

本発明に係るヒューズ溶断方法では、ヒューズ上の保護膜を破ぶらずに溶断できるので、再度保護膜を形成する必要がない。

4. 図面の簡単な説明

第1図はヒューズ部のあるメモリー半導体基板の部分平面であり、第2図は第1図の線II-IIに沿った断面図であり、第3図は従来の溶断電圧の波形図であり、第4図は本発明に係るランプ放電断電圧の波形図である。

1 ……ヒューズ、2 ……絕縁膜、3 ……端子の中央部、6, 7 ……配線、8 ……保護膜。

特許出願人

富士通株式会社

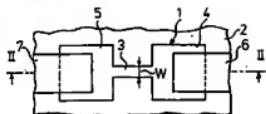
特許出願代理人

弁理士 菅木 明

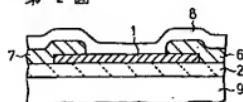
弁理士 西脇 和之

弁理士 内田 幸男

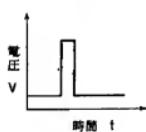
第1図



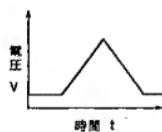
第2図



第3図



第4図



手 続 補 正 書

昭和 59 年 2 月 21 日

特許庁長官 若杉和夫 殿

1. 事件の表示

昭和 57 年 特許願 第 226520 号

2. 発明の名称

ヒューズ型 ROM の書き込み方法(新名称)

3. 補正をする者

事件との関係 特許出願人

名 称 (522) 富士通株式会社

4. 代理 人

住 所 東京都港区虎ノ門一丁目8番10号 虎光虎ノ門ビル
〒105 電話(504)0721氏 名 弁理士 (6579) 青木 朝子
(外 3 名)

5. 補正の対象

(1) 明細書の「発明の名称」の箇
(2) 明細書全文

6. 補正の内容

(1) 明細書の発明の名称を『ヒューズ型 ROM の書き込み方法』と補正する。

(2) 別紙のとおり

7. 添付書類の目録

全文補正明細書

1 通

全 文 補 正 明 細 書

1. 発明の名称

ヒューズ型 ROM の書き込み方法

2. 特許請求の範囲

1. 基材上の絶縁膜の上に形成され、記憶と接続されかつ保護膜で覆われているヒューズを備えたヒューズ型 ROM を電気的に書き込む際に、書き込みのための印加電圧をランプ放電圧として前記保護膜を破ることなく前記ヒューズを溶解することを特徴とするヒューズ型 ROM の書き込み方法。

3. 発明の詳細な説明

(1) 発明の技術分野

本発明は、メモリー半導体装置内に形成されているヒューズ型 ROM (Read Only Memory)、より詳しく述べるならば、このよくなりヒューズ型 ROM の書き込み方法の改善に関するものである。

(2) 技術の背景

ヒューズを備えた半導体メモリーにはヒューズ型 ROM あるいは冗長回路のある RAM (Random Access Memory) があり、ヒューズ型 ROM で

はヒューズを溶解することで情報を書き込み、また、冗長回路のある RAM では不良ビットを含む行や列を予備の行や列に書き換えるためにヒューズを溶解する(この選択が ROM 性能である)。このようなヒューズに過電流を流すことによって溶解している。

(3) 従来技術と問題点

半導体装置内のヒューズ部は、一般的に、図 1 および図 2 図に示すよう構造であり、ヒューズ 1 はヒューズ材であるポリシリコンなどで保護膜(例えば、SiO₂膜) 2 上に形成され、切断される細長い中央部 3 と両側のパッド 4、5 からなる。パッド 4、5 のそれぞれには配線(例えば、アルミニウム配線層) 6、7 が接続されている。図 2 図に示すようヒューズ 1 および配線 6、7 はバッジペーパーイン膜である保護膜(例えば、P_{SiO}膜) 8 で覆われている。なお、図 1 図はこの保護膜 8 のない状態でのヒューズ部を示す。そして、配線層 2 は半導体基板(例えば、シリコンウェハ) 9 上に形成されている。

このようないヒューズ1を壊断するために過電流を流すときの印加電圧は、從来、第3図に示すようなバルス電圧である。この場合に、壊断時にヒューズが爆発的に破壊されて保護膜Bが破れ穴が生じる現象がある。この穴は荷電物が入り込まないようにPSG膜を再び形成して裏がなければならぬ。

[4] 発明の目的

本発明の目的は、ヒューズ上に形成した保護膜を破壊することなくヒューズを電気的に壊断してヒューズ部BOMの嵌込みを行なう方法を提案することである。

[5] 発明の構成

上述の目的が、半導体基板上の絶縁膜の上に形成され、配線と接続されかつ保護膜で覆われているヒューズを電気的に壊断してヒューズ部BOMを剥離することなく、壊断のための印加電圧をランプ放電圧とすることを特徴とするヒューズ部BOMの嵌込み方法によって達成する。

ヒューズ材料には多結晶シリコンが特に好まし

く、NiCr、TiWあるいはPSiでもよい。電流を流す配線の材料にはアルミニウムが特に好ましいが、AlN複合の終点を有する金属性材料であってもよい。なお、アルミニウムとは純アルミニウムおよび又はシリコン含有アルミニウム合金である。

本発明によるランプ放電圧は、設定ピーク電圧まで一定速度($10^3 \sim 10^4$ V/秒)で増加する電圧であることが望ましい。設定ピーク電圧に達する前にヒューズは壊断される。

[6] 発明の実施例

以下、添付図面に従事した実施態様例によって本発明をより詳細に説明する。

従来のヒューズ形成工法にしたがって第1図および第2図に示すヒューズを次のようにして形成する。

シリコン基板(ウェハ)9の上に熱活性化法又はOVD法によって SiO_2 絶縁膜(例えば、厚さ1.0 μm)2を形成し、その上に多結晶シリコン層(例えば、厚さ0.4 μm)1をOVD法によって

形成し、そして通常のホトエッチング法によって第1図に示す形状のヒューズ1を形成する。ヒューズ1の換算中央部3の幅半径を5 μm とする。次に、アルミニウム配線6および7を形成するため、アルミニウム蒸着膜(厚さ1.0 μm)を全面に付着させ、ホトエッチング法によって所定配線パターンに形成する。配線6および7はヒューズ1の幅広いバット4および5に接続されている。最後に、PSG保護膜B(厚さ1.0 μm)をOVD法によってヒューズ1、配線6、7および絶縁膜2の上の全面に形成する。

このように形成した多結晶シリコンヒューズ1に、本発明にしたがって、 10^4 V/秒の増加速度であるランプ放電圧(ピーク電圧3.4 V)を印加してヒューズ1の中央部を壊断する。このランプ放電圧は第4図に示すような変形をし、ピーク電圧に達する前に2.7 V程度になったときにはヒューズは壊断されている。本発明にしたがって壊断すると、PSG保護膜Bの壊断対応部分に孔は生じないことがわかる。ヒューズの壊断を防ぐする

と、多結晶シリコンの溶解初期にアルミニウムがプラス極側からマイナス極側に擴散的に溶けでから切れることがわかる。PSG保護膜Bを破壊するには、アルミニウムの極薄膜が加熱速度を壊断直前で低下させるからだと考えられる。この様な現象はバルス電圧を用いた壊断では防ぎきれない。

上述の実施態様例は一例であって、ヒューズの厚さ、形状は適切に設定でき、それに応じて壊断の電圧および電圧増加速度も適切に決めることができる。本実施例によると電圧増加速度が5 V/秒以下であると、壊断現象は起きず、アルミニウムが流れただけの現象が見られ、ショート状態となる。また、1.0～10³ V/秒程度であると保護膜が破れることがある。そして、10³ V/秒より大きいバルス電圧と同時に保護膜が破れる。ただしこれらの結果は、多結晶シリコンヒューズ部の壊断性に強く依存している。配線6、7の材料にはドープした多結晶シリコンを使用することができるが、ヒューズのバットに接続する部分は

アルミニウムで構成する。

(7) 発明の効果

本発明に係るヒューズ型 ROM の省込み方法では、ヒューズ上の保護膜を破壊せずにヒューズが消滅できるので、再度保護膜を形成する必要がない。

4. 図面の簡単な説明

第1図はヒューズ部のあるメモリー半導体装置の部分平面であり、第2図は第1図の線Ⅰ-Ⅰに沿った断面図であり、第3図は従来の差断電圧の波形図であり、第4図は本発明に係るランプ波形断電圧の波形図である。

1…ヒューズ、2…船状膜、3…船長の中央部、6、7…配線、8…保護膜。